

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-122630
(43)Date of publication of application : 28.04.2000

J1017 U.S. PTO
09/892697
06/28/01

(51)Int.Cl. G09G 5/00

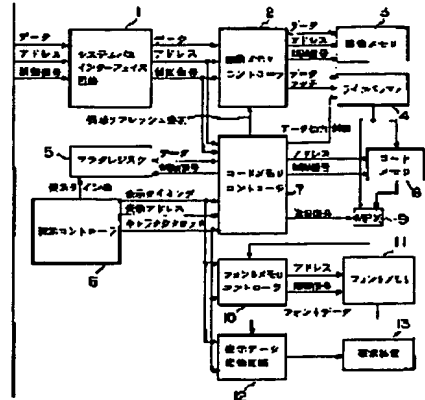
(21)Application number : 10-290851 (71)Applicant : NEC ENG LTD
(22)Date of filing : 13.10.1998 (72)Inventor : MAEDA SHIRO

(54) DISPLAY DATA GENERATION CIRCUIT OF CORD REFRESHING METHOD DISPLAY SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce decline of an accessing performance to an image memory at the time of image plane refreshing by using a single port DRAM as the image memory.

SOLUTION: This display data generation circuit using a single port DRAM as an image memory 3 is equipped with a cord memory 8 for storing display data of one image plane of a display region, a flag resistor 5 for determining whether the content of the image memory 3 in the display region is changed or not, and a cord memory controller 10 for monitoring the flag resistor 5 and for judging whether the access to the image memory 3 is to be executed or not. The cord memory controller 10 executes the access to the image memory 3, only when the content of the image memory 3 is changed.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-122630
(P2000-122630A)

(43)公開日 平成12年4月28日(2000.4.28)

(51)IntCl.
G 0 9 G 5/00

識別記号
5 5 5

F I
G 0 9 G 5/00

テーマコード(参考)
5 5 5 J 5 C 0 8 2
5 5 5 M

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平10-290851

(22)出願日 平成10年10月13日(1998.10.13)

(71)出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72)発明者 前田 史朗

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

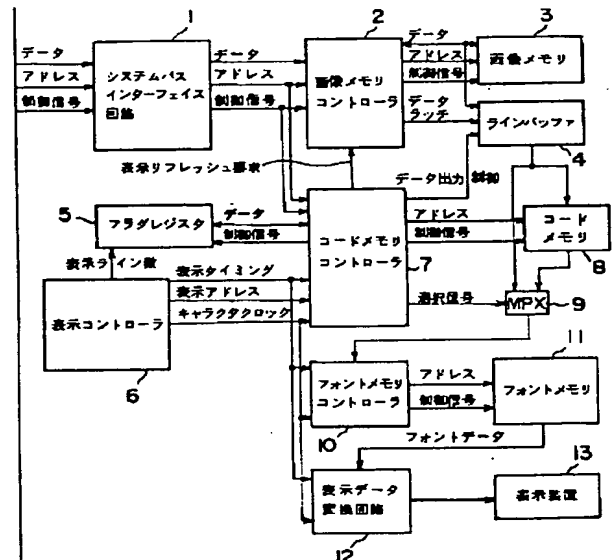
Fターム(参考) 5C082 AA01 BA02 BA29 BB12 BB15
BB22 BB32 BB53 DA32 DA55
DA63 DA73 DA86 MM02 MM07

(54)【発明の名称】 コードリフレッシュ方式表示システムの表示データ生成回路

(57)【要約】

【課題】 画像メモリとしてシングルポートDRAMを使用する事による画面リフレッシュ時の画像メモリへのアクセス性能劣化を低減すること。

【解決手段】 画像メモリ(3)としてシングルポートDRAMを採用し、表示領域一画面分の表示データを格納するコードメモリ(8)と、表示領域内の画像メモリ(3)の内容に変更があったかどうかを判別するためのフラグレジスタ(5)と、フラグレジスタ(5)を監視し、画像メモリ(3)へのアクセスを行うかどうかを判断するコードメモリコントローラ(10)とを備える。コードメモリコントローラ(10)は、画像メモリ(3)の内容に変更があったときのみ画像メモリへのアクセスを行う。



【特許請求の範囲】

【請求項 1】 シングルポート DRAM を採用した画像メモリと、

表示領域一面分の表示データを格納するコードメモリと、

前記表示領域内の前記画像メモリの内容に変更があったかどうかを判別するためのフラグレジスタと、

該フラグレジスタを監視し、前記画像メモリへのアクセスを行うかどうかを判断するコードメモリコントローラとを備え、前記画像メモリの内容に変更があったときのみ前記画像メモリへのアクセスを行うようにしたことを特徴とするコードリフレッシュ方式表示システムの表示データ生成回路。

【請求項 2】 前記コードメモリは、前記表示データとしてコードデータとアトリビュートデータを格納する、請求項 1 に記載のコードリフレッシュ方式表示システムの表示データ生成回路。

【請求項 3】 前記画像メモリを制御するための画像メモリコントローラを備え、前記コードメモリコントローラは、前記フラグレジスタが前記画像メモリの内容に変更があることを指示している場合に、前記画像メモリコントローラへ表示リフレッシュ要求を出力する、請求項 1 に記載のコードリフレッシュ方式表示システムの表示データ生成回路。

【請求項 4】 前記画像メモリコントローラによって表示する 1 行分の前記画像メモリの画像データをバッファリングするラインバッファと、

前記コードメモリコントローラの選択信号に応答して、前記ラインバッファの出力と前記コードメモリの出力とを選択して出力するマルチプレクサとをさらに備えていることを特徴とする請求項 3 に記載のコードリフレッシュ方式表示システムの表示データ生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータ表示システムに関し、特に、画面に表示したい任意の画像データを画像メモリに書き込み、その画像データを CRT や LCD パネル等の表示装置に合った表示データに変換して、その表示データを表示させる機能を有する表示データ生成回路に関する。

【0002】

【従来の技術】この種の従来の表示データ生成回路として、特開平 5-341747 号公報（以下、「先行技術 1」と呼ぶ）には、画像メモリにデュアルポートメモリの代わりにシングルポートメモリを使用した「表示制御装置」に関する技術的思想が開示されている。すなわち、この先行技術 1 は、描画用コプロセッサの代わりとしてコプロセッサをエミュレーションする回路と、画像メモリにシングルポートメモリを使用することを特徴とする表示制御装置である。

【0003】詳述すると、先行技術 1 では、描画用コプロセッサをエミュレートする方法として、コプロセッサレジスタのみを持ち、そのコプロセッサレジスタに描画処理内容を指定する各種パラメタを設定し、CPU からの描画のためのパラメタが設定されると、設定されたパラメタに基づいた描画処理を指定する割り込み要求を発生させて、CPU に描画処理を実行させている。また、先行技術 1 は、画像メモリにシングルポートメモリを使用し大容量メモリを比較的低価格で実現することを目的としている。

【0004】

【発明が解決しようとする課題】しかしながら、上述した先行技術 1 では、画像メモリとしてシングルポートの DRAM を使用する場合、画像リフレッシュのために画像メモリへのアクセスが制限されてしまい、CPU からの画像メモリアクセス性能が劣化するという問題がある。

【0005】したがって、本発明の課題は、画像メモリとしてシングルポート DRAM を使用する事による低価格でかつ高性能な表示システムを提供することにある。

【0006】本発明の他の課題は、画像メモリとしてシングルポート DRAM を使用する事による画像リフレッシュ時の画像メモリへのアクセス性能の劣化を低減することができる表示システムを提供することにある。

【0007】

【課題を解決するための手段】本発明は、上記の問題を解決するために、次のような手段を提案する。

【0008】即ち、本発明によれば、シングルポート DRAM を採用した画像メモリと、表示領域一面分の表示データを格納するコードメモリと、前記表示領域内の前記画像メモリの内容に変更があったかどうかを判別するためのフラグレジスタと、該フラグレジスタを監視し、前記画像メモリへのアクセスを行うかどうかを判断するコードメモリコントローラとを備え、前記画像メモリの内容に変更があったときのみ前記画像メモリへのアクセスを行うようにしたことを特徴とするコードリフレッシュ方式表示システムの表示データ生成回路が得られる。

【0009】

【作用】このような構成を採用することによって、コードリフレッシュ方式の表示システムにおいて、画像メモリにシングルポート DRAM を使用した場合でも、その画像メモリの内容に変更がない場合には、画面リフレッシュのためのアクセスはコードメモリに行い、画像メモリに対してはアクセスしない。画面リフレッシュによる画像メモリへのアクセスは、表示領域内のデータが書換えられたときのみ限られるので、画像メモリへのアクセス性能の劣化を低減できる。従って、画像メモリのシングルポート DRAM を使用した高性能の表示回路を実現できる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0011】図1を参照して、本発明の一実施の形態に係るコードリフレッシュ方式表示システムの表示データ生成回路について説明する。

【0012】図示のコードリフレッシュ方式表示システムは、解像度が横640ドット×縦400ドット、1文字が横8ドット×縦16ドットであり、コードリフレッシュ方式を使用し、コードデータ16ビット、アトリビュートデータ8ビットの3バイトで表現されているものとする。

【0013】図1に示す表示データ生成回路は、システムバスインターフェイス回路1と、画像メモリコントローラ2と、画像メモリ3と、ラインバッファ4と、フラグレジスタ5と、表示コントローラ6と、コードメモリコントローラ7と、コードメモリ8と、マルチプレクサ(MPX)9と、フォントメモリコントローラ10と、フォントメモリ11と、表示データ変換回路12と、表示装置13とを有する。

【0014】システムバスインターフェイス回路1は、システムバス上の様々な表示回路に対するアクセスを解釈し実行する。また、システムバスインターフェイス回路1は、表示回路に必要なレジスタの設定、または画像メモリ3へのアクセス等、内部の各モジュール用のコマンドに変換する。

【0015】画像メモリコントローラ2は、システムバスインターフェイス回路1で解釈された命令を実際の画像メモリ3に対するリードアクセスまたはライトアクセスに変換、実行する。また、画像メモリコントローラ2は、画像メモリ3のリフレッシュ制御も行う。さらに、画像メモリコントローラ2は、コードメモリコントローラ7からの表示リフレッシュ要求を受けて、指定された画像メモリ3のデータをラインバッファ4に書き込む。

【0016】画像メモリ3は、シングルポートのリード、ライト可能なメモリで、コードリフレッシュ方式に必要なコードデータおよびアトリビュートデータを記憶する。

【0017】ラインバッファ4は、画像メモリコントローラ3によって表示する1行分の画像メモリ3の画像データ(コードデータとアトリビュートデータ)をバッファリングする。また、ラインバッファ4は、コードメモリコントローラ7によって、書き込まれた順番にデータを出力する。

【0018】フラグレジスタ5は、コードメモリコントローラ7がフラグレジスタ5のデータを見てコードメモリ8内のデータが有効であるか無効であるかを判断するのに用いる。「有効」とであるというのは、現在表示しようとする画像メモリ3のデータに変更がなく、すでにコードメモリ8が画像メモリ3のデータを取り込んでいる

場合を指す。「無効」とであるというのは、現在表示しようとする画像メモリ3の画像データがすでに変更され、コードメモリ8内のデータが無視されなければならない場合を指す。画像メモリ3に対し変更があった場合、その変更があった行のデータをコードメモリコントローラ7が無効にする。

【0019】フラグレジスタ5の各ビットは、図3に示すように、表示画面の各行に対しそれぞれ1ビットずつ対応するので、25ビットで表現される。データの出力は、表示コントローラ6から現在の表示する行のデータを受けて、表示する行に対応するデータを出力する。

【0020】表示コントローラ6は、表示装置13に文字を表示するためのレジスタ(図示せず)を持ち、その設定に従って、表示装置13の表示タイミングの生成、表示領域設定により表示アドレスを生成する。また、表示コントローラ6は、表示アドレスから現在の表示位置が表示画面の何行目なのかをフラグレジスタ5に通知する。さらに、1文字は縦16ドットなので、表示コントローラ6は、16ラインに1回の割合で画像メモリ3からコード読み出しを行うように読み出し指示をコードメモリコントローラ7に行う。また、1文字は横8ドットなので、表示コントローラ6は、ドットクロックを8分周したクロックであるキャラクタクロックの生成を行う。

【0021】コードメモリコントローラ7は、システムバスインターフェイス回路1から画像メモリ3へのライトアクセスを監視し、フラグレジスタ5のフラグ操作を行う。コードメモリコントローラ7は、画像メモリ3へのライトアクセスが表示領域内かどうかを表示コントローラ6からの表示領域データを受けて判断する。また、コードメモリコントローラ7は、表示コントローラ6からの文字コード読み出し指示を受けて、その現在表示しようとする行に対応するフラグレジスタ5のビットを確認し、画像メモリ3にデータが必要かあるいは、コードメモリ8にそのデータが存在するかどうかを判断する。

【0022】フラグレジスタ5が無効を示している場合、コードメモリコントローラ7は、画像メモリコントローラ2に表示リフレッシュ要求を出力する。コードメモリコントローラ7は表示リフレッシュ要求の後、ラインバッファ4に書き込まれた画像データを順次出力させる。そして、コードメモリコントローラ7は、MPX9の選択信号を操作して、ラインバッファ4の画像データをフォントメモリコントローラ10に渡す。それと同時に、コードメモリコントローラ7は、ラインバッファ4の画像データを随時コードメモリ8に書き込み、1行分のデータの書き込み終了後に、その行に対応するフラグレジスタ5のフラグを有効にする。

【0023】フラグレジスタ5が有効を示している場合、コードメモリコントローラ7は、コードメモリ8から順次、画像データを読み出し、MPX9の選択信号を

操作してコードメモリ 8 の画像データをフォントメモリコントローラ 10 に渡す。

【0024】コードメモリ 8 はコードメモリコントローラ 7 によって表示領域の 1 画面分の画像データを格納するメモリである。

【0025】フォントメモリコントローラ 10 は、MPX9 で選択されたコードデータをキャラクタクロック単位でフォントデータに変換する機能を有する。ここで、フォントメモリコントローラ 10 によるフォントデータの変換は、順次入力されるコードデータをフォントメモリ 11 のアドレスに変換してフォントメモリ 11 からフォントデータを読み出すことによって行う。

【0026】フォントメモリ 11 は、画面に表示する文字のフォントデータを持つ。フォントメモリ 11 は、フォントメモリコントローラ 10 の出力する変換されたコードデータによりフォントデータを出力する。

【0027】表示データ変換回路 12 は、表示コントローラ 6 から出力される、同期信号、各種表示タイミング信号を使用して、表示装置 13 に合わせた同期信号の生成を行う。また、表示データ変換回路 12 は、フォントメモリ 11 から読み出されたフォントデータを表示装置 13 のデータ形式に変換し、出力同期信号とタイミングを調整して表示データを出力する。MPX9 で選択されたアトリビュートデータは、同じく MPX9 で選択されたコードがデータがフォントデータに変換されるタイミングに表示データ変換回路 12 の内部で調整し、表示データ変換回路 12 はフォントデータを修飾する。

【0028】表示装置 13 は、CRT や LCD パネル等のコンピュータで使用される一般的な表示装置である。表示装置 13 は、表示データ変換回路 12 から出力される同期信号と表示データにより、画面にデータを表示する。

【0029】図 2 に、本実施の形態における、ラインバッファ 4 の出力とコードメモリ 8 の出力を選択して MPX9 の出力となるまでのタイミング波形例を示す。図 2 から明らかなように、フラグレジスタ 5 のフラグステータスが「表示する行の画像メモリ 3 の内容に変更なし」を示しているときは、MPX9 はコードメモリ 8 の出力を選択し、フラグレジスタ 5 のフラグステータスが「表示する行の画像メモリ 3 の内容に変更あり」を示しているときは、MPX9 はラインバッファ 4 の出力を選択している。

【0030】図 3 は前述したように、本実施の形態における表示画面の縦方向、横方向の関係と、表示行に対するフラグレジスタ 5 のビットの関係を表わしている。

【0031】以上のように、本実施の形態においては、一度表示したデータはコードメモリ 8 に書き込み、次の画面走査時からは画像メモリ 3 の内容が書き換えられない限り画像メモリ 3 に対し画面リフレッシュのためのアクセスを行わず、コードメモリ 8 から画像データを読

み出す。その画像メモリ 3 へのアクセスを行わない時間だけ画像メモリ 3 に対し CPU (図示せず) からのアクセスを行う事が可能となる。

【0032】具体的に説明する。画像メモリ 3 のデータ幅が 24 ビット以上であるとする、一画面あたりに画面リフレッシュに要する表示データの読み出し回数は 80 桁 × 25 行 = 2000 回となる。つまり、表示領域内の画像メモリ 3 の内容に全く変更がない場合、一画面あたりに 2000 回の他のアクセスが可能となる。

【0033】以上の説明から明らかなように、画像メモリ 3 にシングルポート DRAM を持つ低価格でかつ高性能の表示システムを提供できる。

【0034】

【発明の効果】以上説明したように、本発明によれば、シングルポート DRAM を採用した画像メモリと、表示領域一画面分の表示データを格納するコードメモリと、表示領域内の前記画像メモリの内容に変更があったかどうかを判別するためのフラグレジスタと、フラグレジスタを監視し、画像メモリへのアクセスを行うかどうかを判断するコードメモリコントローラとを備え、画像メモリの内容に変更があったときのみ画像メモリへのアクセスを行うようにしているので、画像メモリとしてシングルポート DRAM を使用する事による画面リフレッシュのための画像メモリアクセスを低減することができるので、CPU から画像メモリへのアクセス性能の劣化を低減できるという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の一実施の形態に係るコードリフレッシュ方式表示システムの表示データ生成回路の構成を示すブロック図である。

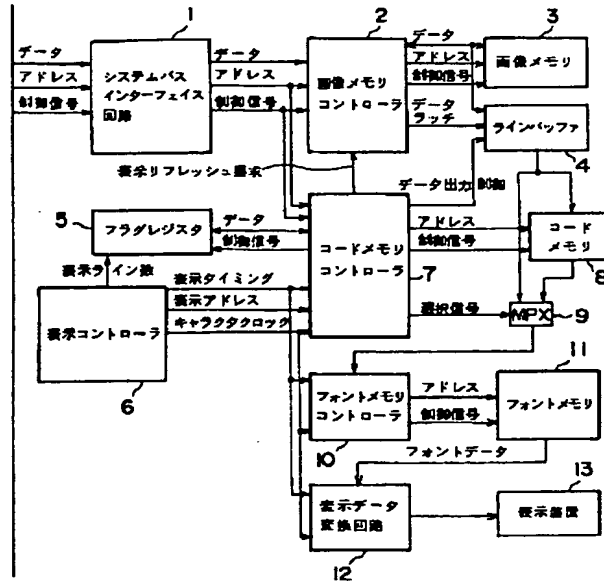
【図 2】図 1 に示した表示データ生成回路における、ラインバッファの出力とコードメモリの出力を選択してマルチプレクサの出力となるまでのタイミング波形例を示すタイムチャートである。

【図 3】図 1 に示した表示データ生成回路における、表示画面の縦方向、横方向の関係と、表示行に対するフラグレジスタのビットの関係を表わす図である。

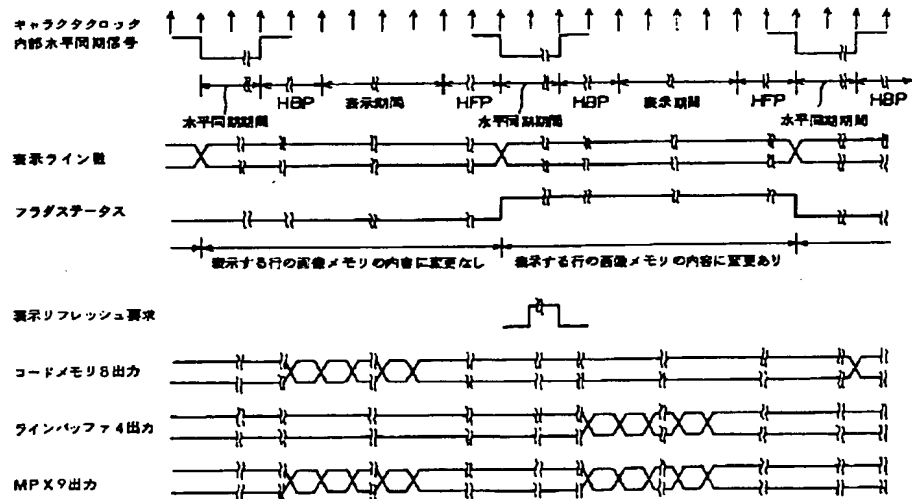
【符号の説明】

- 1 システムバスインターフェイス回路
- 2 画像メモリコントローラ
- 3 画像メモリ
- 4 ラインバッファ
- 5 フラグレジスタ
- 6 表示コントローラ
- 7 コードメモリコントローラ
- 8 コードメモリ
- 9 マルチプレクサ (MPX)
- 10 フォントメモリコントローラ
- 11 フォントメモリ
- 12 表示データ変換回路

【図1】



【図2】



【図3】

